

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

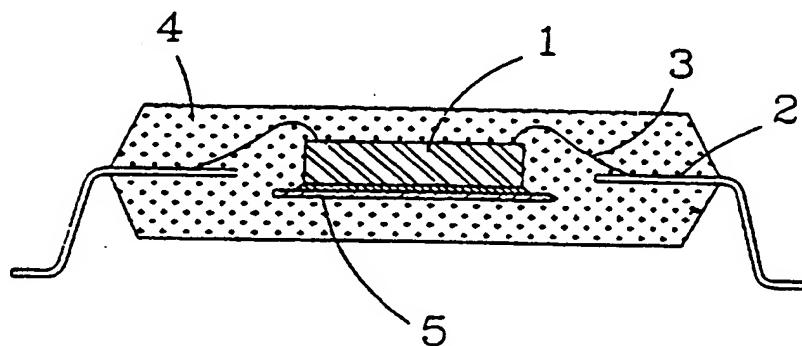
(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. H01L 23/50	(45) 공고일자 (11) 등록번호 (24) 등록일자	1999년09월01일 10-0220154 1999년06월18일
(21) 출원번호 10-1996-0009774	(65) 공개번호 (43) 공개일자	특1997-0072358 1997년11월07일
(22) 출원일자 1996년04월01일		
(73) 특허권자 아남반도체주식회사, 김규현 대한민국 133-121 서울특별시 성동구 성수동 2가 280-8		
(72) 발명자 허영욱 대한민국 경기도 성남시 분당구 수내동 55 롯데아파트 132-1504		
(74) 대리인 서민규		
(77) 심사청구 심사관: 양희용		
(54) 출원명 반도체 패키지의 제조방법		

## 요약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체칩의 저연율 외부로 노출시켜 회로동작시 발생되는 열방출의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 항상 시킴은 물론, 패키지의 물당부 외측에 위치한 리드는 절단하고, 물당부 내측에 위치한 리드는 그 저연율 외부로 노출시켜 마더보드에 실장시 리드의 저연에서 신호전달을 하도록 함으로서 실장면적을 최소화 할 수 있는 반도체패키지이다.

## 대표도



## 명세서

## [발명의 명칭]

## 반도체패키지의 제조방법

## [도면의 간단한 설명]

제 1 도는 일반적인 반도체패키지의 구조를 보인 단면도

제 2 도는 본 발명에 적용되는 리드프레임을 도시한 평면도

제 3a 도 내지 제 3e 도는 본 발명의 제조 공정도

제 4a 도 내지 제 4d 도는 본 발명의 실시예에 의한 제조 공정도

제 5 도는 본 발명에 의한 반도체패키지의 저연도

제 6 도는 본 발명의 리드를 도시한 확대도

\* 도면의 주요부분에 대한 부호의 설명

10 : 반도체칩      20 : 리드프레임

21 : 리드      30 : 와이어

41 : 액상봉지재      42 : 커피온드

### [한국의 상세한 설명]

본 발명은 반도체패키지의 제조방법에 관한 것으로, 더욱 상세하게는 반도체칩의 저연율 외부로 노출시켜 회로동작 시 발생되는 염방충의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성은 향상시킴은 물론, 패키지의 융당부 외측에 위치한 리드는 절단하고, 융당부 내측에 위치한 리드는 그 저연율 외부로 노출시켜 미더보드에 실장시 리드의 저연에서 신호전달을 하도록 함으로서 실장면적을 최소화 할 수 있는 반도체패기지의 제조방법에 관한 것이다. 일반적으로 반도체패키지는 제 1 도에 도시된 바와 같이, 리드프레임의 침탕재판(2a)상에 에폭시 어드하이시브(Epoxy Adhesive)를 도포하여 반도체침(1)을 접착시키고, 반도체침(1)상의 침패드와 리드프레임의 리드(2)를 와이어(3)로 본딩한 후, 캄파운드(4)로 융당하여 반도체패키지를 제조하였다. 그러나, 이러한 구조는 캄파운드(4) 외부로 리드(2)를 노출시켜 소정의 형태로 리드(2)를 절곡하여 일정 단자로 사용하였으므로, 외부로 노출된 리드(2)에 충격이 가해져 쉽게 변형되는 이유로 유지 관리가 어려우며 패키지의 크기만 크게 만드는 요인이 되었다. 또한, 반도체침(1)을 리드프레임의 침탕재판(2a)에 접착시킬 때 에폭시 어드하이시브를 사용하기 때문에 에폭시와 반도체침(1)의 인터페이스(Interface)부분에서 계면박리 및 크랙(Crack)을 발생시키는 요인이 되었던 것이다. 뿐만 아니라, 반도체침(1)이 캄파운드(4)의 내부에 위치하기 때문에 올방출이 되지 않아 패키지의 수명을 단축시키는 등의 문제점이 있었던 것이다. 따라서, 본 발명은 이러한 문제점을 해소하기 위하여 발명된 것으로, 침탕재판이 구비되지 않은 리드프레임으로 패키지를 제조함으로서 반도체침과 침탕재판과의 계면박리 및 봉렁을 방지하고, 패키지의 신뢰성을 향상 시킬수 있도록 된 반도체패키지 제조방법을 제공함에 그 목적이 있다. 이러한 본 발명의 목적을 달성하기 위해서는 다수의 리드가 형성되고, 상기 다수의 리드 중앙부에는 침탕재판이 없는 리드프레임을 형성하는 단계와; 상기 리드프레임의 다수의 리드 중앙부에 반도체침을 위치시켜 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체침 및 와이어를 외부의 신화 및 부식으로부터 보호하기 위하여 물당하는 단계와; 상기 단계후에 융당영역 외각에 위치한 리드를 절단하는 단계로 이루어 진 것을 특징으로 하는 반도체패키지의 제조방법에 의해 가능하다. 이하, 본 발명을 첨부도면을 참조하여 상세히 설명하면 다음과 같다. 제 2 도는 본 발명에 사용되는 리드프레임을 도시한 평면도로서, 본 발명의 리드프레임(20)에는 반도체침(10)이 부착되는 침탕재판이 형성되어 있지 않은 것을 알 수 있다. 제 3a 도 내지 제 3e 도는 본 발명의 제조 공정을 나타낸 도면으로서, 제 3a 도는 침탕재판이 없는 리드프레임(20)에 기존의 다이본딩시 반도체침(10)이 위치되는 부분, 즉 다수의 리드(21) 중앙부에 반도체침(10)을 위치시킨 상태를 도시한 것이고, 제 3b 도는 이와같이 반도체침(10)이 다수의 리드(21)의 중앙부에 위치된 상태에서 와이어(30) 본딩을 실시한 상태를 도시한 것이다. 이때, 상기 반도체침(10)은 제 7 도에 도시된 바와 같이 히터밸브(H)의 상부에 압착되는데, 이 히터밸브(H)에는 배광 용(Vacuum Hole)이 형성되고, 상기 배광용(V)로 공기흡입하여 반도체침(10)을 고정 지지함으로서 와이어 본딩 중에 반도체침(10)이 흔들림을 방지하는 것이다.

여기서, 상기 액상 봉지재(41)로 융팅한 경우에는 액상 봉지재(41)가 흡수 넘치는 것을 방지하기 위하여 융팅영역의 외각으로 암(411)을 형성한다. 또한, 상기 융팅된 액상 봉지재(41) 및 컴파운드(42)는 리드(21) 및 반도체침(10)의 상부로만 융팅되는 것이며, 상기 반도체패키지의 저면에는 잔래쉬(Flash)의 제거를 위해 그라인드(Grind)를 실시할 수 있다. 이와 같은 구성의 반도체패키지는 저면으로 반도체침과 다수의 리드가 직접 노출되므로 열방출이 우수하며 계면박리가 발생되지 않고, 융팅영역의 외각으로 위치되는 리드가 없어 취급시 리드가 부러거나, 손상되는 것을 방지할 수 있으며, 패키지의 터미널(입출력단자) 부분이 패키지의 일면에서 이루어짐으로 마더보드에 설치시 그 크기와 최소화 할 수 있는 잇점이 있다.

(57) 청구의 법위

성구암 1.

(정정) 다수의 리드가 형성되고, 이 다수의 리드 중 일부에는 침탈재판이 없는 리드프레임을 제공하는 단계와; 상기 리드프레임의 다수의 리드 중 일부에 반도체침을 위치시키되, 상기 반도체침은 배륨 흡(VacuumHole)이 형성된 히터클럭에 안착시킨 후, 상기 배륨 흡으로 공기를 뺀 다음에서 반도체침을 지지 고정한 상태에서 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체침 및 와이어풀 외부의 산화 및 부식으로부터 보호하기 위하여 물딩하는 단계와; 상기 단계후에 물딩영역 외각에 위치한 리드를 절단하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.

## 첨구합 2.

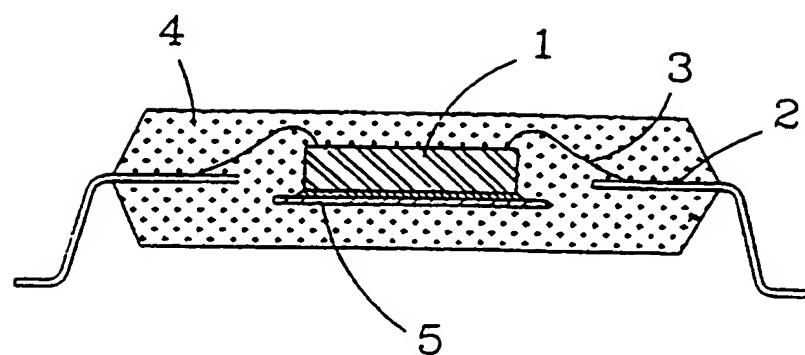
제 1 항에 있어서, 상기 융당하는 단계 후에는 빙도 채 패키지의 저면에 그리인드(Grind)를 설치하여 플래시(Flash)를 제거하는 플래시 제거 단계를 더 포함하면서 이를 어진 것을 특징으로 하는 빙도 채 패키지의 제조방법.

청구권 3

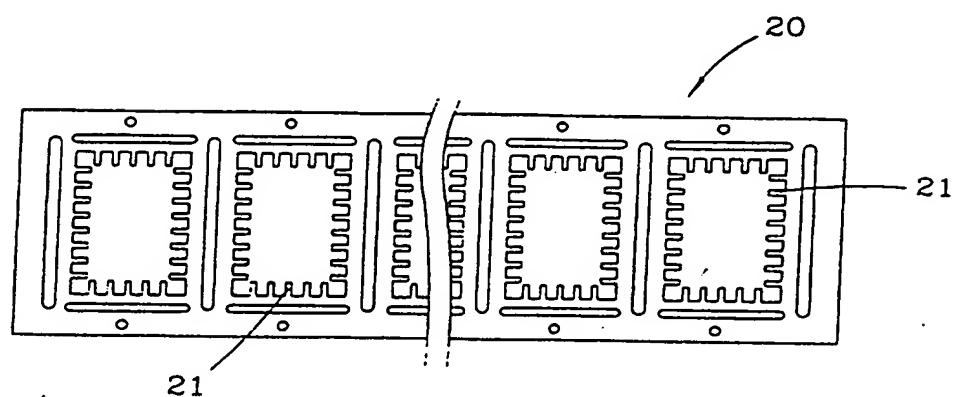
제 1 항에 있어서, 상기 융당영역의 외각에 위치한 리드를 절단하는 단계는, 상기 리드의 절단되는 부위에 노치(Notch)를 형성하여 상기리드가 용이하게 절단되도록 하는 것을 목적으로 하는 반도체패키지의 제조방법.

도면

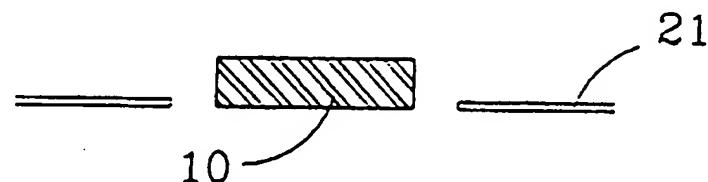
도면 1



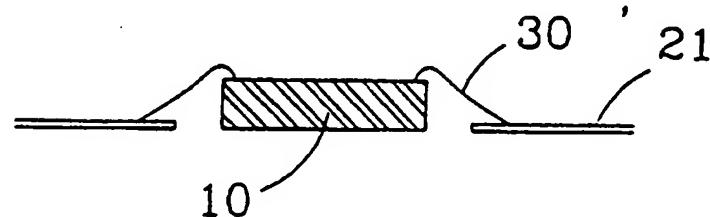
도면 2



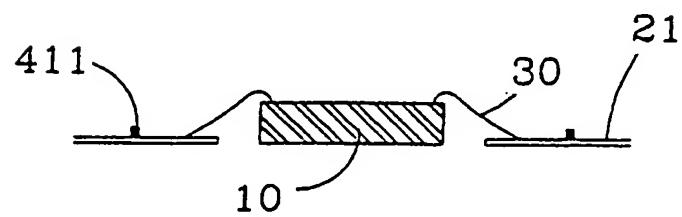
도면 3a



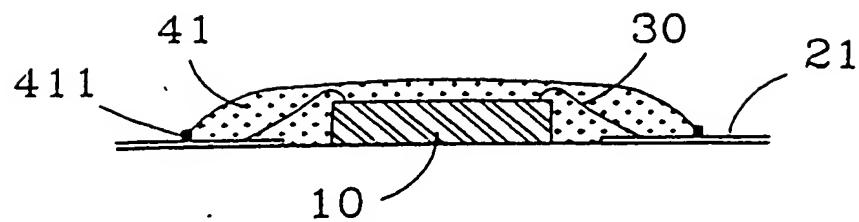
도면 3b



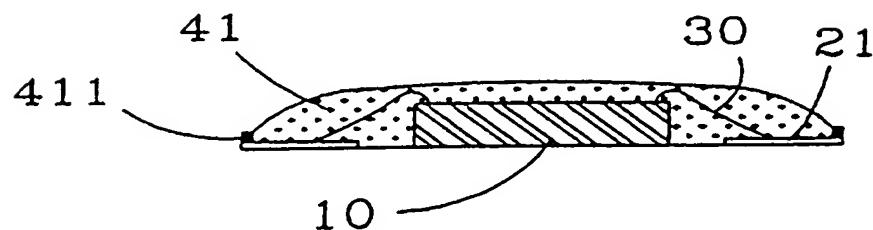
도면 3c



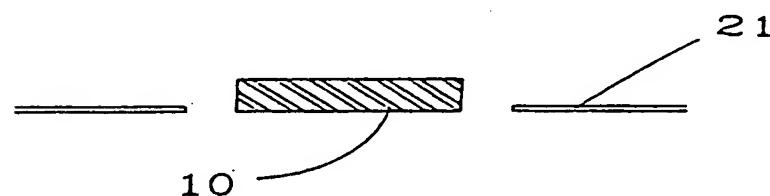
도면 3d



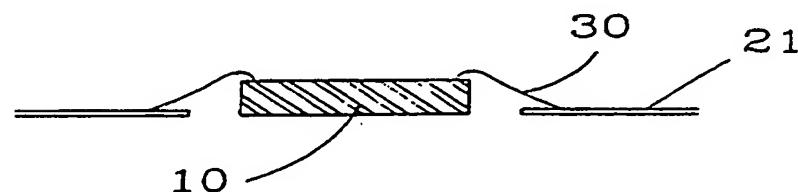
도면 3e



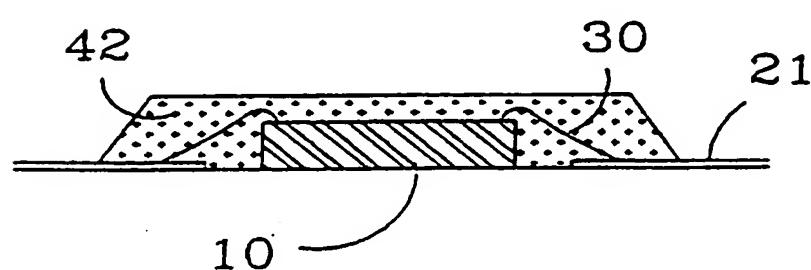
도면 4a



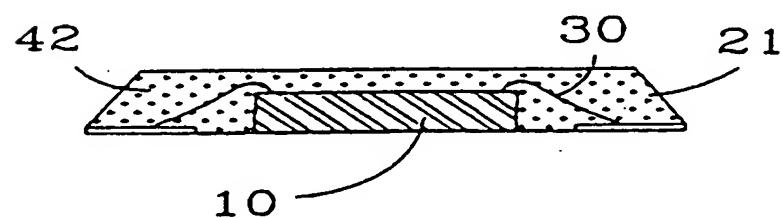
도면 4b



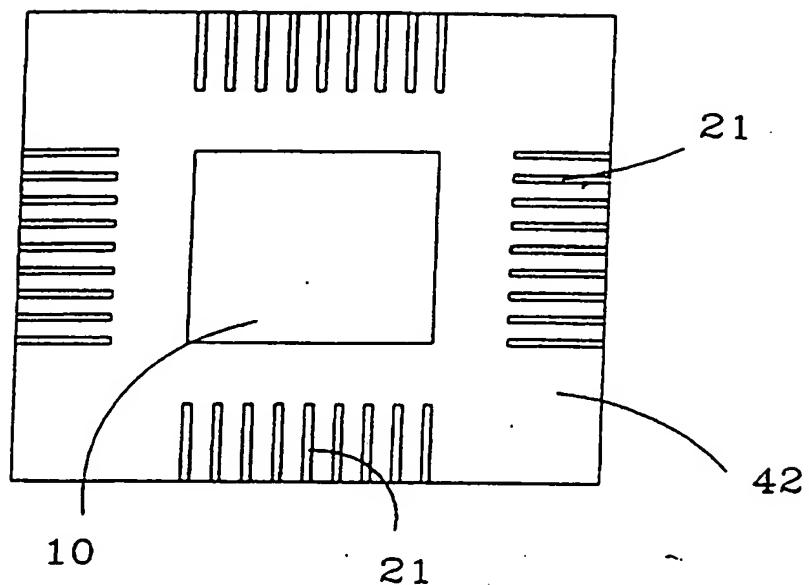
도면 4c



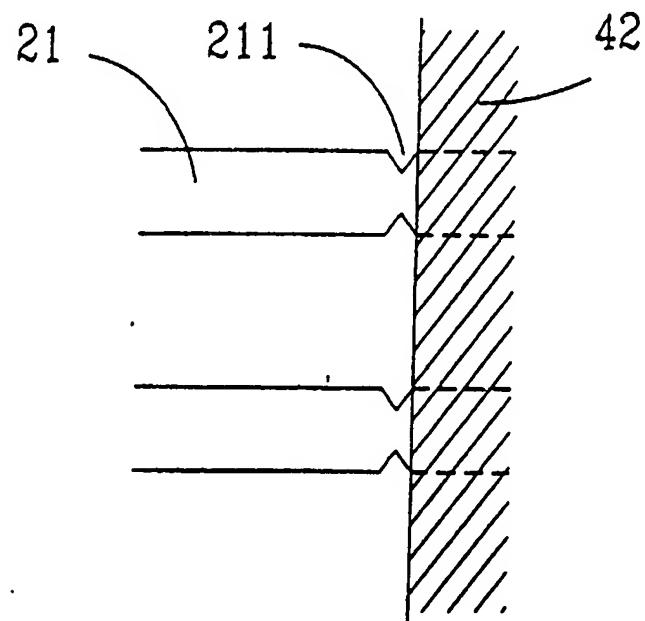
도면 4d



도면 5



도면 6



도면 7

